

基于 VME 总线的高精度信号发生器的设计

张艳丽 安 琪 刘树斌 王砚方

(中国科学技术大学近代物理系快电子学实验室 合肥 230026)

摘要 北京谱仪 (BESIII) 的飞行时间读出电子学 (TOF) 对于时间信号的测量具有非常高的要求, 需要对 TOF 时间测量电路进行严格的测试。本文介绍了用于该测试的高精度信号发生器的实现方案, 该电路能够产生抖动 (Jitter) 小于 23.623 ps 的脉冲信号和抖动小于 12.265 ps 的 40.000 MHz 时钟信号。同时, 对设计中使用的关键性技术—高速高精度时钟电路和脉冲产生电路的设计进行了分析。

关键词 VME, 高精度信号发生器, 高精度时钟信号, 脉冲信号

中图分类号 TN0

目前正在进行的北京正负电子对撞机二期升级改造工程 (BECPII) 对北京谱仪 (BESIII) 的飞行时间 (Time of flight, TOF) 探测器的粒子鉴别能力提出了相当高的指标, 因而要求其读出电子学达到 25.000 ps 的时间分辨能力^[1]。为实现这一目标, 我们准备使用欧洲核子中心 (CERN) 微电子组研制的一种高性能时间测量芯片 HPTDC (High performance TDC) 进行粒子飞行时间的测量^[2]。HPTDC 是一种新型的具有多次击中能力的数据驱动型时间-数字变换芯片, 其工作原理不同于传统的起始-停止型 TDC。为了实现对基于这种 HPTDC 芯片设计的时间测量电路的测试, 我们设计了一种专用的高精度信号发生器。

1 高精度信号发生器的设计目标

HPTDC 是一种专用于高能物理实验的精确的时间/数字转换器件, 其时间分辨率可以达到 25.000 ps, 双脉冲的时间分辨率可以达到 10.000 ns。为了测试 HPTDC, 我们必须提供一些信号, 见图 1。

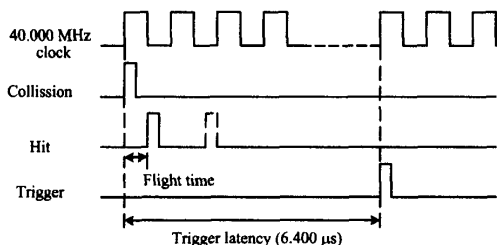


图 1 信号发生器给出的高能物理中的一些信号

Fig. 1 Signals of high energy physics from signal generator

图 1 中, 40.000 MHz clock 为 HPTDC 提供高精度的时钟 (要求抖动 (Jitter) < 25.000 ps)。

Hit 给出探测器得到的粒子对撞时刻的信息。HPTDC 是根据 Hit 信号以及与时钟同步的 Trigger 信号来得到 Collision (粒子对撞的时刻) 与 Hit 之间的时间间隔, 即粒子在探测器中的飞行时间 (Flight time)。因此信号发生器首先就要能够提供高精度的 Hit 信号, 根据 HPTDC 的最小分辨率, 要求其 Jitter < 25.000 ps, 并且 Collision 信号与 Hit 信号之间的间隔可以调节, 最小步长可以小于 25.000 ps。

L1 Trigger 在实际的 BESIII 的触发判选系统中, 在 Collision 信号之后 6.400 μs, 第一级触发判选系统给出与 40.000 MHz 时钟同步的第一级触发判选信号, 因此信号发生器要能够提供一个与 40 MHz 时钟同步的 L1 Trigger 信号, 同时 Collision 到 L1 Trigger 的间隔 L1 Trigger Latency 可调, 调节范围可以达到 6.400 μs (实际的 BESIII 触发判选系统的 L1 Trigger Latency)。

信号发生器电路就是针对以上要求设计的, 它将模拟产生上述的各个信号, 供给 HPTDC 进行性能测试。同时, 为了能够利用统计分析的方法得到 HPTDC 的精度以及其他一些性能指标, 信号发生器设计为能够产生多组 Hit、Trigger 信号。在实际的 BESIII 工作中, 有时会出现多次击中的情况, 因此信号发生器设计时考虑可以在 60.000 ns (实际的 BESIII 中粒子的最长飞行时间) 内产生两个 Hit 信号, 并且两个 Hit 信号的时间间隔可调。根据 HPTDC 对于双脉冲的分辨率, 要求这个时间间隔可以达到

第一作者: 张艳丽, 女, 1979 年出生, 2004 年于中国科学技术大学获得硕士学位, 主要从事高速数字电路设计

通讯作者: 安 琪, E-mail: anqi@ustc.edu.cn

收稿日期: 2003-06-19, 修回日期: 2003-11-19

10.000 ps。这样,我们就可以测试 HPTDC 对于双脉冲的响应情况,同时对 HPTDC 对于双脉冲的分辨率进行标定。

2 高精度信号发生器的设计方案

图 2 是信号发生器的基本原理框图,是一个基于 VME 系统的 VME6U 模块^[3]。设计采用 Altera 公司的 FPGA 芯片实现与 VME 的接口,进而完成对板上芯片的配置和对整个系统的控制。信号发生器系统设有两个完全相同的 Hit 信号产生通道,主

要是为了能够在很短的时间间隔内 ($<10.000\text{ ns}$) 产生两个 Hit 信号,模拟实际物理实验中多次击中的情况。是否给出双脉冲 Hit 信号可以通过 VME 接口设定,也可以通过 FPGA 内部的随机信号发生器来控制。系统的时钟通过锁相环 (PLL, Phase Locked Logic) 电路产生,200.000 MHz 的时钟送给内部的计数器等芯片使用,40.000 MHz 时钟送给 FPGA 以及 HPTDC。同时,为了适应实际测量中可能会使用多种电平的需要,信号发生器可产生两种电平的 Clock 和 Hit 输出信号: LVPECL 与 LVDS。

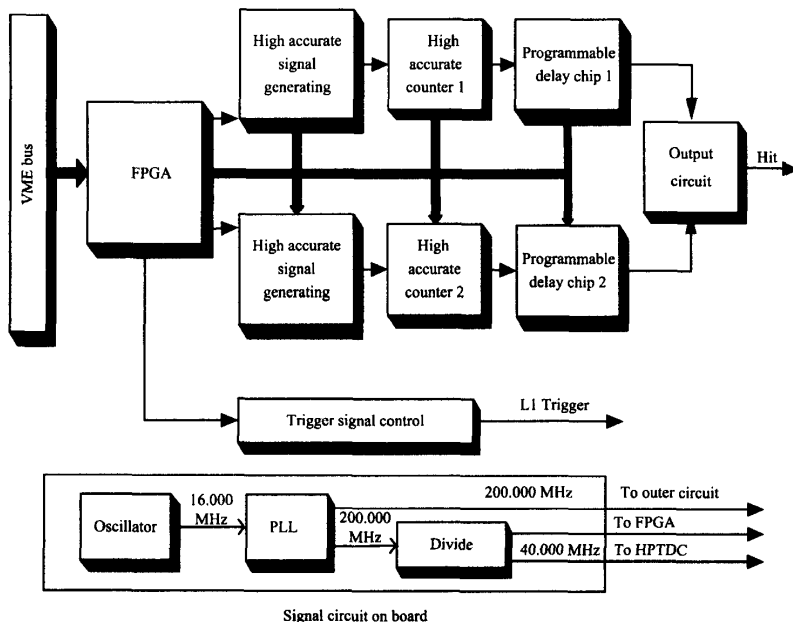


图 2 信号发生器实现方框图

Fig. 2 Signal generator diagram

3 高精度信号发生器设计中的关键性技术

3.1 高精度时钟信号的产生

为了能够得到高精度的时钟信号,同时保证系统的各个时钟能够同步,这就意味着在选择芯片和 PCB 设计的时候都需要进行特别的考虑。

首先,为了能够使用普通的晶振获得较好的时钟信号,我们在设计中使用锁相环电路,同时对于时钟的分配采用时钟驱动芯片来实现,这样可以保证时钟信号具有较小的偏差 (Skew) 和抖动。

其次,为了保证电路中各部分使用的 200.000 MHz 时钟信号具有相同的相位,我们使用具有较小的内部通道相位差的时钟驱动芯片,同时,在 PCB

设计的时候,尽可能使各个时钟 PCB 连线保持同样的长度,以消除 PCB 连线长度不同对于相位差的影响。这里,我们不惜采用蛇形布线的方式来延长较短的 PCB 连线,使其也具有和其他 PCB 连线一样的长度^[4]。

再次,为了获得最好的高速信号完整性和电磁兼容性,所有的时钟信号均采用差分传输,同时对于所有的高速信号都根据传输线理论进行适当的匹配,并且所有高速时钟信号布线保持一定间距以减小相互间的串扰^[4,5]。

在设计中,最重要还是要选择具有较低时钟抖动的芯片来减小由于芯片本身的性能而引入的对于整个电路信号质量的影响,在我们的设计中,所有

涉及高精度信号的电路都选择 ECLinPS 技术的芯片来实现。此类芯片本身的抖动指标一般都小于 1.000 ps (Cycle to cycle)。

另外，使用 SigNoise 软件对 PCB 进行十分接近实际电路情况的仿真，及时地修改 PCB 布线和传输线匹配设计也对信号完整性和低抖动信号的获得起到了非常重要的作用。

3.2 高精度 Hit 信号的产生

Hit 信号是整个电路中十分重要的信号，我们需要产生发送时间精确可调的 Hit 信号，同时要保证其精度。

对于信号精度的保证，我们采取了与时钟电路设计相同的方案。

关于 Hit 信号发送时间的精确控制，我们借助于 ECLinPS 系列的计数器芯片 (MC100EP016) 和可编程延迟芯片 (MC100EP195)。使用 200.000 MHz 时钟信号的计数器可以达到 5.000 ns 的调节精度，而使用的可编程延迟芯片可以达到最小步长为 10.000 ps 的调节精度。所有这些保证我们可以对 Hit 信号实现最小为 10.000 ps 的调节，这对于测试最小分辨率为 25.000 ps 的 HPTDC 的性能具有十分重要的作用。

只简单地使用一个信号通道是无法产生时间间隔可调、而且调节步长最小可以达到 10.000 ps 的双脉冲信号的。为了解决这个问题，我们使用两套在设计上完全相同的电路，并且通过低晃动芯片的选择和 PCB 布线控制的方式保证两路信号具有最小的相位差，最后将这两路信号经过或门电路之后再

输出，双脉冲信号间隔的调节可以通过改变两个通道的计数器和可编程延迟芯片的预置值来实现，目前可以调节的最小时间间隔为 6.200 ns。

4 高精度信号发生器的性能指标

为了测定信号发生器电路的性能，我们使用 Tektronix 公司的高精度示波器 TDS7104 (1.000 GHz, 10.000 GS/s, Trigger jitter = 8.000 ps (RMS)) 以及该公司提供的 Jitter 分析软件 TDSJIT3 对精度要求较高的各个信号进行了测试和分析，其结果见表 1。

测得信号发生器能够输出的双脉冲信号的最小时间间隔为 6.200 ns，如图 3 所示。

5 高精度信号发生器的定标

由于我们要精确知道信号发生器输出的 Hit 与 Trigger 信号的时间间隔，而且在信号发生器的设计中涉及到最小为 10.000 ps 的延迟时间的调节，考虑到延迟芯片本身在制造上存在一定的性能偏差以及电路设计中带来的一些额外的延迟，我们必须使用更高精度的仪器对其进行标定。这里，我们使用了高精度的示波器 TDS7104 来完成这项工作。

测得 LVPECL Hit 信号与 Trigger 信号之间的固有延迟为 3.196 ns，LVDS Hit 信号与 Trigger 信号之间的固有延迟为 3.188 ns。对于延迟芯片设置值与实际延迟时间的校正结果如图 4 和图 5 所示。其中 σ 为校正拟合时的标准差。校正拟合时的标准差直接反应系统的性能。应当说明的是：图 (4) 和图 (5)

表 1 高精度信号发生器输出信号的 jitter 指标

Table 1 Jitter of signals from high accurate signal generator

信号名称 Signal name	抖动 Jitter / ps (RMS)	测试数据量 Data quality
LVPECL 40.000MHz 时钟 LVPECL 40.000MHz Clock	12.692	207953
LVDS 40.000MHz 时钟 LVDS 40.000MHz Clock	12.265	219948
通道 1 LVPECL Hit Channel 1 LVPECL Hit	24.389	113275
通道 2 LVPECL Hit Channel 2 LVPECL Hit	24.652	111281
通道 1 LVDS Hit 信号 Channel 1 LVDS Hit	23.623	112776
通道 2 LVDS Hit Channel 2 LVDS Hit	24.434	100801
LVDS Trigger	24.524	101797

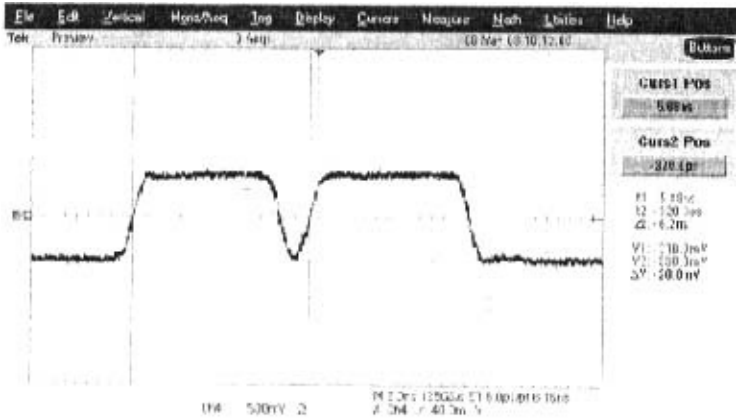


图 3 信号发生器输出的双脉冲 LVDS Hit 信号

Fig. 3 Double pulse LVDS Hit signal from the signal generator

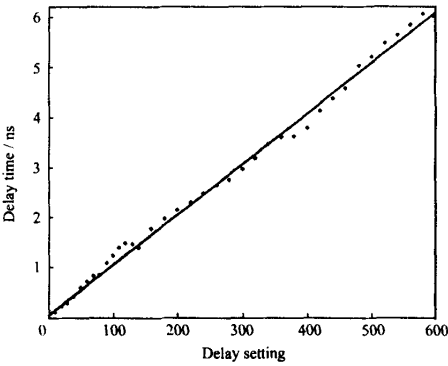


图 4 通道 1 延迟芯片校正曲线

Fig. 4 Channel 1 delay chip calibration ($\sigma=0.066$ ns)

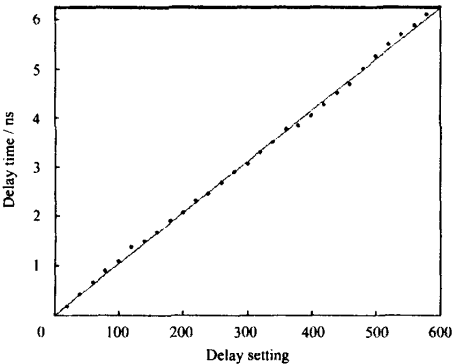


图 5 通道 2 延迟芯片校正曲线

Fig. 5 Channel 2 delay chip calibration($\sigma=0.034$ ns)

的测量结果中包含了信号发生器和测量示波器两方面的误差。因此，实际信号发生器的误差要好于图中校正测量的结果，可以满足实际应用的要求。

6 结论

根据测试结果可知，我们所设计的信号发生器具有非常好的性能和很高的精度，可以实现对于 HPTDC 各项功能的测试，目前该电路正用于 BESIII 的 TOF 电子学中十分重要的时间测量芯片的功能、性能和设计方案的测试工作上。同时，由于该电路还具多种电平输出信号的特点，也可以应用到 BESIII 电子学设计的其他电路测试之中。此外，关于高速时钟和数字信号设计的一些分析对于进行高速数字电路设计也将具有一定的借鉴作用。

参考文献

- 1 安琪. TOF 电子学方案设计. BESIII 国际合作组内部报告文件, 2002. 3—4
An Qi. The proposal of TOF electronics. The internal report of BESIII international collaboration, 2002. 3—4
- 2 Christiansen J. High performance time to digital converter, Genera, CERN/EP-MIC, 2002.7
- 3 Peterson W D. The VMEbus handbook (version two). USA, VITA, 1991
- 4 Johnson H W, Graham M. High speed digital design, New Jersey, Prentice Hall, 1993. 189
- 5 Blood W R Jr. MECL System Design Handbook, USA, Motorola, 1988: 121—172

A design of high accurate signal generator based on VME

ZHANG Yanli AN Qi LIU Shubin WANG Yanfang

(Fast Electronics Lab of Modern Physics Department, University of Science and Technology of China, Hefei 230026)

Abstract The measurement of time signals in flight time readout (TOF) electronics of the third modification project of Beijing Spectrometer (BESIII) is very difficult according to the very high-resolution request, so we need to strictly test the design of the circuit for time measurement. This paper introduces the design of a high accurate signal generator circuit for this testing, which can generate pulse signal with the jitter less than 23.623 ps and clock signal with the jitter less than 12.265 ps. And two pivotal technologies, i.e. the designs of high-speed, high-resolution clock circuits and pulse generator circuits are discussed in this paper too.

Key words VME, High accurate signal generator, High accurate clock signal, Pulse signal

CLC TN0